

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-357773

(P2000-357773A)

(43) 公開日 平成12年12月26日 (2000. 12. 26)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
H 0 1 L	27/04	H 0 1 L	27/04
	21/822		21/302
	21/3065		27/04
	21/8234		27/06
	27/06		27/10
			1 0 2 A
			6 5 1
審査請求 未請求 請求項の数 2 O L (全 8 頁) 最終頁に続く			

(21) 出願番号 特願平11-168268

(22) 出願日 平成11年6月15日 (1999. 6. 15)

(71) 出願人 594021175

旭化成マイクロシステム株式会社

東京都渋谷区代々木1丁目24番10号

(72) 発明者 竹下 輝樹

宮崎県延岡市旭町6丁目4100番地 旭化成

マイクロシステム株式会社内

(74) 代理人 100066980

弁理士 森 哲也 (外2名)

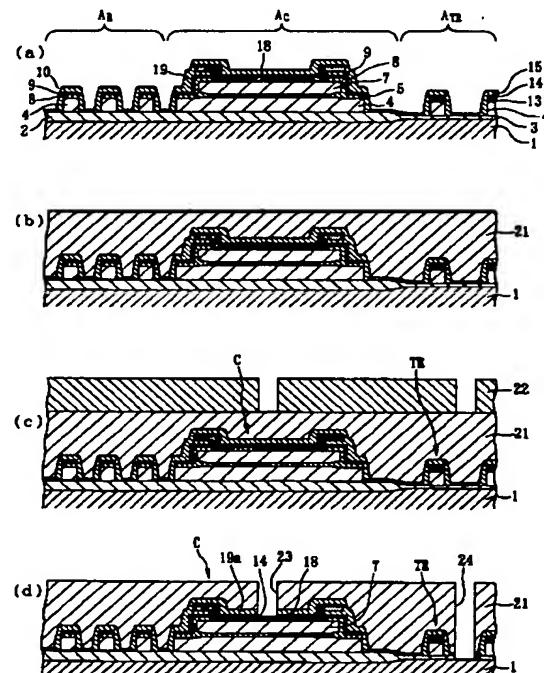
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 キャパシタとMOSトランジスタとへのコンタクトホールを同時にエッチングする際に、MOSトランジスタの上部電極がエッチングされてしまうことを回避する。

【解決手段】 ゲート電極を構成するタングステンシリサイド膜13を形成する際に、上部電極7の上面のエッチングストップパ形成領域にもタングステンシリサイド膜13を積層しておく。キャパシタC及びMOSトランジスタTRを含む領域に層間絶縁膜21を形成し、この上に上部電極7及び不純物拡散領域へのコンタクトホール23、24を形成するためのパターンを形成し、これを用いてエッチングを行うと、コンタクトホール23の部分の層間絶縁膜21が先に打ち抜かれるが、上部電極7の上にはタングステンシリサイド膜13が積層されこれがエッチングストップパとして作用するから、コンタクトホール24を形成するためにエッチングを継続しても、上部電極7がエッチングされることはない。



1

【特許請求の範囲】

【請求項1】 容量絶縁膜を挟む上下電極としての導電性膜からなるキャパシタと一の素子とを含む領域に層間絶縁膜を積層し、当該層間絶縁膜を平坦化した後、当該層間絶縁膜に前記キャパシタの上部電極に配線するための配線路及び前記一の素子に配線するための配線路を同時に形成するようにした半導体装置の製造方法において、

前記上部電極としての前記導電性膜の上層に、前記層間絶縁膜とのエッチングの選択比が大きいエッチングストップパ膜を形成するようにしたことを特徴とする半導体装置の製造方法。

【請求項2】 容量絶縁膜を挟む上下電極としての多結晶シリコン膜からなるキャパシタと、多結晶シリコン膜及び金属シリサイド膜からなるゲート電極を有するMOSトランジスタと、を有する半導体装置の製造方法において、

半導体基板上に、第1の多結晶シリコン膜、容量絶縁膜及び第2の多結晶シリコン膜をこの順に積層し、前記第2の多結晶シリコン膜をパターンニングして前記キャパシタの上部電極を形成する工程と、

前記上部電極上面のエッチングストップパ形成領域を除くキャパシタ形成領域にキャパシタ形成用のマスクパターンを形成する工程と、

前記キャパシタ形成用のマスクパターンを含む領域に金属シリサイド膜及び絶縁膜を積層し、前記絶縁膜をパターンニングしてゲート電極形成領域にゲート電極形成用のマスクパターン及び前記エッチングストップパ形成領域にエッチングストップパ形成用のマスクパターンを形成する工程と、

前記キャパシタ、ゲート電極及びエッチングストップパ形成用のマスクパターンをマスクとして、前記金属シリサイド膜及び第1の多結晶シリコン膜をエッチングする工程と、

前記MOSトランジスタの不純物拡散領域に不純物を拡散する工程と、

層間絶縁膜を積層しこの平坦化を行った後、前記キャパシタの上部電極及び前記不純物拡散層形成領域への配線路を形成するためのマスクパターンを形成する工程と、前記配線路を形成するためのマスクパターンをマスクとして前記層間絶縁膜をエッチングする工程と、を備えることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体装置の製造方法に関し、特に、キャパシタと共にMOSトランジスタが配置されている半導体装置の製造方法に関するものである。

【0002】

【従来の技術】近年、半導体集積装置は、微細化が非常

2

に進んでいる。この微細化に伴い、素子に用いられるゲートや配線の線幅が小さくなっており、低抵抗化を図ることの可能な半導体装置の製造方法が提案されている。この半導体装置の製造方法としては、例えば特開平6-318673号公報に記載されたものがある。この公報に記載の半導体装置の製造方法では、次のような工程で製造している。すなわち、半導体基板上にフィールド酸化膜及びゲート酸化膜を形成し、第1の多結晶シリコン層を堆積して、この第1の多結晶シリコン層上に容量絶縁膜を形成し、さらに容量絶縁膜上に第2の多結晶シリコン膜を形成した後、キャパシタの上部電極層となる部分を残して第2の多結晶シリコン層をエッチングする。そして、前記上部電極層及びその側面を覆う第1のマスク体を選択的に被着し、次いで金属シリサイド層を形成した後、MOSトランジスタのゲート電極となる部分に第2のマスク体を形成し、前記第1の多結晶シリコン層と金属シリサイド層とをエッチングして、多結晶シリコン層と金属シリサイド層との積層構造からなるゲート電極と、多結晶シリコン層の電極及びシリコン酸化膜の容量絶縁膜からなるキャパシタとを形成するようにしている。

【0003】そして、LDD構造を形成するためのLDD形成用酸化膜を形成し、異方性エッチングによりサイドウォールを形成し、最後に、酸化雰囲気中で熱処理を行って露出している基板上に薄い酸化膜を形成し、これをソース及びドレイン拡散領域を形成するためのイオン注入時のマスクとして、アクティブ領域に不純物を拡散させることによって、ソース及びドレインが二重構造となるLDD構造のソース及びドレイン拡散領域を有する複数のトランジスタTRを形成するようになっている。

【0004】

【発明が解決しようとする課題】上述のようにして形成したキャパシタCの上部電極及びトランジスタTRのソース・ドレイン領域に配線をするためのコンタクトホールを形成する場合には、例えば、次の工程で行う。すなわち、今、図4に示すように、シリコン基板1上に、多結晶シリコン膜から構成される抵抗体Rと、多結晶シリコン層の電極及び容量絶縁膜からなるキャパシタCと、多結晶シリコン層と金属シリサイド層との積層構造からなるゲート電極を有するトランジスタTRとが形成されているものとする、まず、前記抵抗体R、キャパシタC、及びトランジスタTRを含む領域に層間絶縁膜21を形成し、例えばCMP（Chemical Mechanical Polishing）等を行ってその表面を平坦化する（図4

（a））。次いで、層間絶縁膜21の上にレジスト膜を形成し、このレジスト膜をパターンニングして、キャパシタCの上部電極7用のコンタクトホール及びトランジスタTRのソース及びドレイン拡散領域用のコンタクトホールを形成するためのマスクパターン22を形成する（図4（b））。

3

【0005】次いで、マスクパターン22をマスクとして例えばドライエッチングを行って、層間絶縁膜21をエッチングし、その後マスクパターン22を除去する(図4(c))。これによって、上部電極用のコンタクトホール23及びトランジスタTR用のコンタクトホール24が形成される。

【0006】このとき、前記層間絶縁膜21をエッチングするためのエッチングガスに対し、層間絶縁膜21とキャパシタCの上部電極7を構成する多結晶シリコンとのエッチングレートの選択比が小さいので、キャパシタCの上部電極7をエッチングしてしまい、場合によっては上部電極7を打ち抜いてしまう可能性がある。特に、ソース・ドレイン形成領域が形成されたシリコン基板1の上面から層間絶縁膜21の上面までの高さは、上部電極7の上面から層間絶縁膜21の上面までの高さ比べて高く、上部電極用のコンタクトホール23及びトランジスタ用のコンタクトホール24を同時にエッチングすると、エッチングにより形成される凹みは、まず、上部電極7に達するが、コンタクトホール24を形成するためにさらに継続してエッチングが行われるため、多少の選択比があったとしても上部電極7がかなり削れてしまうという問題がある。

【0007】そこで、この発明は、上記従来の未解決の問題点に着目してなされたものであり、コンタクトホールを同時に形成する場合でも、上部電極が削れてしまうことを防止可能な半導体装置の製造方法を提供することを目的としている。

【0008】

【課題を解決するための手段】上記目的を達成するために、本発明の請求項1に係る半導体装置の製造方法は、容量絶縁膜を挟む上下電極としての導電性膜からなるキャパシタと一の素子とを含む領域に層間絶縁膜を積層し、当該層間絶縁膜を平坦化した後、当該層間絶縁膜に前記キャパシタの上部電極に配線するための配線路及び前記一の素子に配線するための配線路を同時に形成するようにした半導体装置の製造方法において、前記上部電極としての前記導電性膜の上層に、前記層間絶縁膜とのエッチングの選択比が大きいエッチングストップ膜を形成するようにしたことを特徴としている。

【0009】この請求項1に係る発明では、キャパシタを形成する際に、キャパシタの上部電極を構成する導電性膜の上層に、層間絶縁膜とのエッチングの選択比が大きいエッチングストップ膜が形成される。そして、このキャパシタと、例えばトランジスタ等の一の素子とを含む領域に層間絶縁膜が積層され、これを平坦化した後に、キャパシタの上部電極及び例えばトランジスタ等の不純物拡散領域に配線を行うためのコンタクトホール等の配線路が形成される。

【0010】このとき、キャパシタの上部電極へのコンタクトホールの層間絶縁膜の上面までの高さの方が、ト

4

ランジスタの不純物拡散領域へのコンタクトホールの層間絶縁膜の上面までの高さに比較して高い。このため、これらコンタクトホールをエッチングにより同時に形成した場合、キャパシタの上部電極へのコンタクトホールが先にキャパシタ上部電極に達し、一方、不純物拡散領域へのコンタクトホールの方は、基板面にまで達していないため継続してエッチングを行うことになる。しかしながら、キャパシタの上部電極の上層には、エッチングストップ膜が形成され、この膜は、層間絶縁膜とのエッチングの選択比が大きく、エッチングストップとして作用するから、継続してエッチングを行うことによって上部電極がエッチングされることが回避される。

【0011】また、本発明の請求項2に係る半導体装置の製造方法は、容量絶縁膜を挟む上下電極としての多結晶シリコン膜からなるキャパシタと、多結晶シリコン膜及び金属シリサイド膜からなるゲート電極を有するMOSトランジスタと、を有する半導体装置の製造方法において、半導体基板上に、第1の多結晶シリコン膜、容量絶縁膜及び第2の多結晶シリコン膜をこの順に積層し、前記第2の多結晶シリコン膜をパターンニングして前記キャパシタの上部電極を形成する工程と、前記上部電極上面のエッチングストップ形成領域を除くキャパシタ形成領域にキャパシタ形成用のマスクパターンを形成する工程と、前記キャパシタ形成用のマスクパターンを含む領域に金属シリサイド膜及び絶縁膜を積層し、前記絶縁膜をパターンニングしてゲート電極形成領域にゲート電極形成用のマスクパターン及び前記エッチングストップ形成領域にエッチングストップ形成用のマスクパターンを形成する工程と、前記キャパシタ、ゲート電極及びエッチングストップ形成用のマスクパターンをマスクとして、前記金属シリサイド膜及び第1の多結晶シリコン膜をエッチングする工程と、前記MOSトランジスタの不純物拡散領域に不純物を拡散する工程と、層間絶縁膜を積層しこの平坦化を行った後、前記キャパシタの上部電極及び前記不純物拡散層形成領域への配線路を形成するためのマスクパターンを形成する工程と、前記配線路を形成するためのマスクパターンをマスクとして前記層間絶縁膜をエッチングする工程と、を備えることを特徴としている。

【0012】この請求項2に係る発明では、半導体基板上に、第1の多結晶シリコン膜、容量絶縁膜、第2の多結晶シリコン膜が積層され、第2の多結晶シリコン膜がパターンニングされてキャパシタの上部電極が形成される。この上部電極を覆うようにしてキャパシタ形成領域にキャパシタ形成用のマスクパターンが形成されるが、このマスクパターンは、上部電極の上面の、エッチングストップ形成領域を除く領域に形成される。このマスクパターンを含んでさらに金属シリサイド膜及び絶縁膜が積層され、絶縁膜がパターンニングされてゲート電極形成領域にゲート電極形成用のマスクパターンが形成さ

5

れ、また、エッチングストップパ形成領域にエッチングストップパ形成用のマスクパターンが形成される。

【0013】そして、前記キャパシタ、ゲート電極及びエッチングストップパ形成用のマスクパターンをマスクとして、金属シリサイド膜及び第1の多結晶シリコン膜がエッチングされ、これにより、キャパシタ形成領域には、上部電極の上面に金属シリサイド膜が積層されたキャパシタが形成され、また、ゲート電極形成領域には金属シリサイド膜及び多結晶シリコン膜からなるゲート電極が形成される。

【0014】そして、MOSトランジスタの不純物拡散領域への不純物の拡散が行われた後、キャパシタ形成領域及びMOSトランジスタ形成領域を含む領域に層間絶縁膜が形成され、これが平坦化された後、キャパシタの上部電極への配線を行うためのコンタクトホール等の配線路と、MOSトランジスタの不純物拡散領域への配線を行うためのコンタクトホール等の配線路とを形成するためのマスクパターンが形成され、これをマスクにしてエッチングが行われて配線路が形成される。

【0015】このとき、キャパシタの上部電極と不純物拡散領域が形成された基板面とは段差が形成されるため、コンタクトホールを形成するためのエッチングを行った場合、キャパシタの上部電極へのコンタクトホールが先に上部電極の上方の所定の位置に達し、一方、不純物拡散領域へのコンタクトホールの方は、基板面にまで達していないため継続してエッチングを行うことになる。しかしながら、キャパシタの上部電極の上層には、金属シリサイド膜が形成され、これがエッチングストップパとして作用するから、継続してエッチングを行うことによって上部電極がエッチングされることが回避され

る。

【0016】
【発明の実施の形態】以下に、本発明の実施の形態を説明する。図1(a)に示すように、シリコン基板1の抵抗体Rの形成領域 A_R 及びキャパシタCの形成領域 A_C にフィールド酸化膜2を形成し、MOSトランジスタTRの形成領域 A_{TR} に膜厚250[Å]程度のゲート酸化膜3を形成し、フィールド酸化膜2及びゲート酸化膜3の上に、例えば減圧CVD法によって膜厚3000

[Å]の導電性膜としての多結晶シリコン膜4を形成し、この多結晶シリコン膜4に不純物としてリンを気相拡散法によりドーピングする。この多結晶シリコン膜4はキャパシタCの下部電極となると共に、MOSトランジスタTRのゲート電極TR-Gを構成する金属シリサイド膜と多結晶シリコン膜との積層構造の下側部分となり、また、抵抗体Rとなる。

【0017】次に、酸化雰囲気中で、多結晶シリコン膜4の表面を熱酸化して、膜厚450[Å]程度の容量絶縁膜5を形成する。この容量絶縁膜5は、CVD法により形成してもよい。さらに、前記多結晶シリコン膜4と

6

同様に、容量絶縁膜5の上に、導電性膜としての多結晶シリコン膜6を膜厚3000[Å]程度形成し、リンをドーピングする。この多結晶シリコン膜6は、キャパシタCの上部電極となる部分である。

【0018】次に、キャパシタCの上部電極となるべき部分にレジストパターンを形成し、これをマスクにして多結晶シリコン膜6をエッチングした後、このレジストパターンを除去する。これによりキャパシタCの上部電極7が形成される(図1(b))。次に、酸化雰囲気中で、図1(b)に示すように、上部電極7のエッジ部7aが酸化される程度の熱酸化を行う。この熱酸化は、例えば、 O_2 ガス4.5[l/min]及び H_2 ガス8

[l/min]からなる混合ガスを800[°C]にした酸化雰囲気中で10分、という条件で、単結晶シリコン基板を酸化した場合に、単結晶シリコン基板上に膜厚100[Å]程度の酸化膜が形成されるように行う。なお、単結晶シリコン基板上に膜厚50~200[Å]程度の酸化膜が形成されるように熱酸化を行うことが好ましい。

【0019】このような条件で熱酸化を行うことにより、多結晶シリコン膜4の上に、膜厚300~1000[Å]程度の酸化膜が形成される。この熱酸化は、上部電極7をエッチングする際に上部電極7のエッジ付近の容量絶縁膜5に生じたエッチングによるダメージを回避すると共に、上部電極7の下部側エッジ部7aにおける電界集中により、キャパシタCの上下電極となる上部電極7及び多結晶シリコン膜4間でリークが発生することを回避するために行うものである。また、同時にこの熱酸化により、抵抗体Rとなる多結晶シリコン膜4上の容量絶縁膜5のエッチングによるダメージを回復させ、さらに成長させることで、後に積層する無機反射防止膜中に多結晶シリコン膜4内のドーパントが外方拡散することを防止し、抵抗値にばらつきが生じることを防止している。なお、この熱酸化は必ずしも行う必要はないが、上述の効果を達成することができるから行った方が好ましい。

【0020】次に、図1(c)に示すように、前記熱酸化処理によって成膜された酸化膜8の上に、例えば、プラズマCVD法で、 SiH_4 と N_2O と He とをソースガスとして、膜厚700[Å]程度の無機反射防止膜($SiON$)9を形成する。この無機反射防止膜9は、レジスト膜厚が不均一なことに伴う定在波効果の差を抑制し、レジスト膜内における光強度を等しくさせるためのものであって、 $SiON$ 中の酸素Oと窒素Nと水素Hとの比率を変えることによって、屈折率及び消衰係数を調整することが可能であり、これら屈折率、消衰係数及び膜厚を調整することによって、光強度を調整することができるようになっている。例えば、i線用のレジスト膜には、 SiH_4 が54[sccm]、 N_2O が59[sccm]、 He が3000[sccm]の割合で混

7

合した混合ガスをソースガスとして生成した無機反射防止膜 9 が好適である。この場合の屈折率は 2.50、消衰係数は 0.35 である。

【0021】なお、無機反射防止膜 9 としては、アモルファスカarbonやTiNを適用することも可能である。次に、この無機反射防止膜 9 の上に、膜厚 1000

〔Å〕程度のCAP酸化膜（後に抵抗体Rを形成する際のマスクとなるシリコン酸化膜）10を例えばTEOS（テトラエトキシシラン）の熱分解により形成し、その上に、レジスト膜11を形成する。このレジスト膜11に対してフォトリソグラフィ工程を行うことにより、キャパシタ形成領域AcのキャパシタCとなる部分及び抵抗体形成領域Arの抵抗体Rとなる部分にレジストパターン11aを形成する（図1（d））。このレジストパターン11aは、キャパシタCとなる部分については、図1（d）に示すように、エッチングストップ形成領域を除く上部電極7の上面及びその側面を覆うように被着される。前記エッチングストップ形成領域は、後工程で上部電極7の上方に形成する上部電極7用のコンタクトホールと対向する領域であって、コンタクトホールより20も広くなるように形成されている。

【0022】そして、このレジストパターン11aをマスクとしてCAP酸化膜10、無機反射防止膜9、酸化膜8をエッチングしてマスクパターン12を形成した後、レジストパターン11aを除去する（図1

（e））。このマスクパターン12は、後工程で抵抗体R及びキャパシタCの形成領域Ar及びAcの金属シリサイド膜及び多結晶シリコン膜4をエッチングする際のマスクとなり、図1（e）に示すように上部電極7上面のレジストパターン形成領域を除く領域及びその側面を覆うように被着される。ここで、キャパシタCの形成領域Acについて全てのCAP酸化膜10、無機反射防止膜9及び酸化膜8を除去すると、次の工程で金属シリサイド膜としてのタングステンシリサイド膜13を積層した場合に、上部電極7と下部電極となる多結晶シリコン膜4とがショートしてしまうため、これを回避するために、キャパシタCの上面及び側面には、前記CAP酸化膜10、無機反射防止膜9及び酸化膜8を残すようにしている。

【0023】次に、マスクパターン12を含む多結晶シリコン膜4上に、膜厚2000〔Å〕程度のタングステンシリサイド膜13を金属シリサイドとして形成し、このタングステンシリサイド膜13の上に、膜厚300

〔Å〕程度の無機反射防止膜14を前記無機反射防止膜9と同様にして形成する。この無機反射防止膜14の上に、膜厚2000〔Å〕程度のCAP酸化膜（後にゲート電極TR-Gを形成する際のマスクとなるシリコン酸化膜）15を例えばTEOS（テトラエトキシシラン）の熱分解により形成する（図2（a））。

【0024】次に、レジスト膜16を形成し（図2

8

（b））、これに対してフォトリソグラフィ工程を行うことにより、MOSトランジスタTRのゲート電極TR-Gとなる部分及び、前記エッチングストップ形成領域を含む前記上部電極7の上方に相当する領域にレジストパターン16aを形成する（図2（c））。そして、このレジストパターン16aをマスクとしてCAP酸化膜15及び無機反射防止膜14をエッチングし、エッチングストップ及びゲート電極形成用のマスクパターン17を形成した後、レジストパターン16aを除去する（図2（d））。ここで、前記エッチングストップ用のマスクパターンは、図2（d）に示すように、前記エッチングストップ形成領域を覆い、且つその端部がマスクパターン12に重なったフランジ状に形成される。

【0025】次に、マスクパターン17をマスクとして例えばプラズマエッチング法を用いてエッチングを行う。これによりタングステンシリサイド膜13がエッチングされてマスクパターン12が露出すると、マスクパターン12がマスクとして作用し、マスクパターン12及び17をマスクとして多結晶シリコン膜4がエッチングされる（図2（e））。

【0026】このとき、トランジスタ形成領域ATrでは、マスクパターン17の部分はエッチングされず、多結晶シリコン膜4、タングステンシリサイド膜13、無機反射防止膜14及びCAP酸化膜15の積層構造となり、この積層構造は、低抵抗化されたMOSトランジスタTRのゲート電極TR-Gとなる。また、抵抗体形成領域Arでは、マスクパターン12の部分は、多結晶シリコン膜4、酸化膜8及び無機反射防止膜9及びCAP酸化膜10の積層構造となり、この積層構造は抵抗体Rとなる。また、キャパシタ形成領域Acでは、マスクパターン12の部分は、多結晶シリコン膜4、容量絶縁膜5、上部電極7、酸化膜8、無機反射防止膜9、CAP酸化膜10、の積層構造となり、その中央部は、上部電極7の上に、タングステンシリサイド膜13からなるエッチングストップ膜18、無機反射防止膜14及びCAP酸化膜15がこの順に積層された構造となり、これら積層構造はキャパシタCとなる。

【0027】次に、全領域Ar、Ac、ATrに、TEOSの熱分解等による減圧CVD法等によって、LDD構造形成のための酸化膜を形成し、これを異方性エッチングすること等によってサイドウォール19を形成し、その後、酸化雰囲気中で熱処理を行って露出しているシリコン基板1上に薄い酸化膜を形成する（図2（a））。

【0028】そして、ゲート電極TR-G及びサイドウォール19をマスクとしてアクティブ領域に不純物を拡散させて、ソース及びドレインが二重構造となるLDD構造のソース及びドレイン拡散領域（図示せず）を形成する。次に、抵抗R、キャパシタC及びMOSトランジスタTRを覆うように、全領域Ar、Ac、ATrに、例えばCVD法によりBPSG膜を形成して層間絶縁膜2

50

9

1を形成し、表面を平坦化するためにCMPを実施する(図3(a))。

【0029】この上に、レジスト膜を形成し(図3(b))、これをバグーニングして、キャパシタCの上部電極7に配線を行うためのコンタクトホール及びMOSトランジスタTRのソース・ドレイン領域に配線を行うためのコンタクトホールを形成するためのマスクパターン22を形成する(図3(c))。そして、このマスクパターン22をマスクとし、エッチングガスとして例えば C_4F_8 、 CHF_3 、 N_2 、 CO 、 Ar 等を用い

【0030】これにより、上部電極7へのコンタクトホール(配線路)23及びMOSトランジスタTRへのコンタクトホール(配線路)24が形成される(図3

(d))。このとき、エッチングにより、層間絶縁膜21がエッチングされ、まずコンタクトホール23がキャパシタCのサイドウォール形成時に形成された酸化膜19aに達する。そして、前記キャパシタCの酸化膜19aと層間絶縁膜21とのエッチングガスに対する選択比、及び無機反射防止膜14と層間絶縁膜21とのエッチングガスに対する選択比が小さいことから、酸化膜19aがエッチングされ、さらに無機反射防止膜14がエッチングされる。この時点ではコンタクトホール24は

【0031】しかしながら、前記エッチングガスに対するタングステンシリサイド膜13のエッチングレートは低い

【0032】特に、コンタクトホール23と24とではそのエッチングすべき高さに差があるため、多少選択比があ

【0033】また、このとき、トランジスタTRのゲート電極を形成するために積層したタングステンシリサイド膜13を上部電極7の上にも残すようにし、これをエッチングストップパとして作用させるようにしているから、新たにエッチングストップパを形成するための工程を設ける必要はなく、容易に実現することができる。なお、上記実施の形態においては、金属シリサイド膜とし

10

てタングステンシリサイド膜13を用い、これをエッチングストップ膜として用いるようにした場合について説明したが、例えば $TiSi_2$ を用いることも可能である。

【0034】また、上記実施の形態においては、シリコン基板1上に、抵抗R、キャパシタC及びトランジスタTRを形成するようにした場合について説明したが、抵抗Rを形成しない場合でも適用することができる。また、キャパシタCとトランジスタTRに限らず、キャパシタCの上部電極へのコンタクトホールと、何らかの素子へのコンタクトホールを形成する際に、これらコンタクトホールの深さに差がある場合であれば、適用することが可能である。

【0035】また、上記実施の形態においては、無機反射防止膜9の上に、CAP酸化膜10を積層した場合について説明したが、必ずしもCAP酸化膜10を設ける必要はない。また、上記実施の形態においては、無機反射防止膜9及び14を設けた場合について説明したが、必ずしも設けなくてもよい。しかしながら、前述の効果を

【0036】前記CAP酸化膜10及び前記無機反射防止膜9の何れも設けない場合には、多結晶シリコン膜4から下部電極を生成する際のマスクとなる膜を形成する必要がある。

【0037】

【発明の効果】以上説明したように、本発明の請求項1に係る半導体装置の製造方法によれば、上部電極としての導電性膜の上に、エッチングストップ膜を形成するようにしたから、層間絶縁膜にキャパシタの上部電極に配線するための配線路及び他の素子に配線するための配線路を同時に形成するようにした場合でも、キャパシタの上部電極用の配線路が形成された後にも継続して他の素子用の配線路を形成するためのエッチングを行うことに起因して前記上部電極がエッチングされることを回避することができる。

【0038】また、請求項2に係る半導体装置の製造方法によれば、MOSトランジスタのゲート電極を構成する金属シリサイド膜を形成した際に、これをキャパシタの上部電極の上にも形成するようにするよう

【図面の簡単な説明】

【図1】本発明における半導体装置の製造工程の一部を

11

示す断面図である。

【図 2】図 1 の製造工程の続きを表す断面図である。

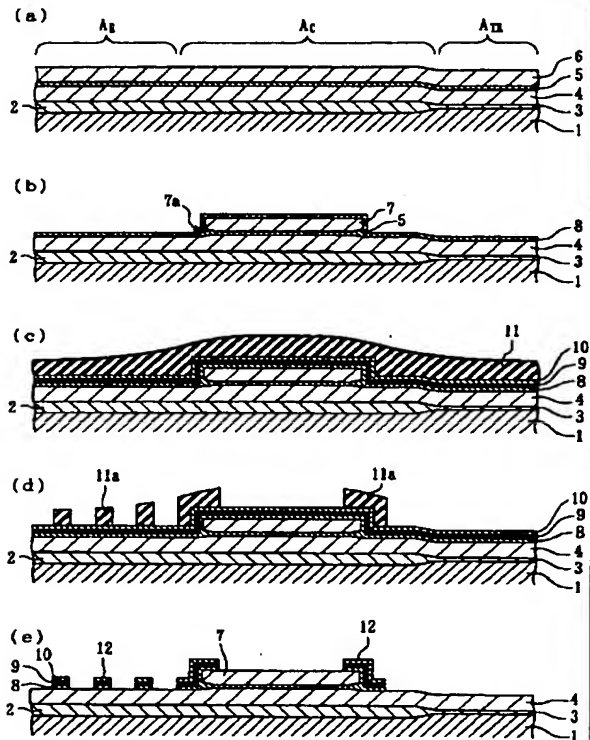
【図 3】図 2 の製造工程の続きを表す断面図である。

【図 4】従来の半導体装置の製造工程の一部を示す断面図である。

【符号の説明】

- 1 シリコン基板
- 2 フィールド酸化膜
- 3 ゲート酸化膜
- 4 多結晶シリコン膜
- 5 容量絶縁膜
- 6 多結晶シリコン膜
- 7 上部電極
- 8 酸化膜

【図 1】



12

* 9 無機反射防止膜

10 CAP酸化膜

11a レジストパターン

12 マスクパターン

13 タングステンシリサイド膜

14 無機反射防止膜

15 CAP酸化膜

16 レジスト膜

16a レジストパターン

10 17 マスクパターン

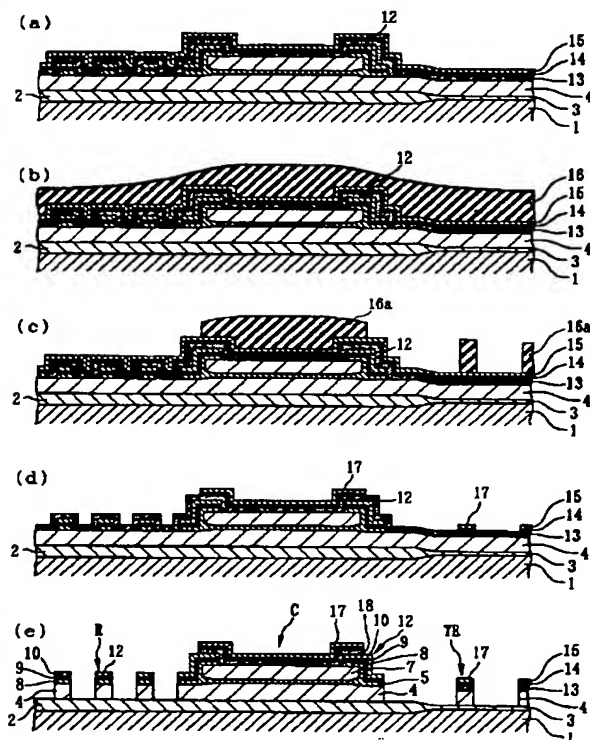
18 エッチングストップ

19 サイドウォール

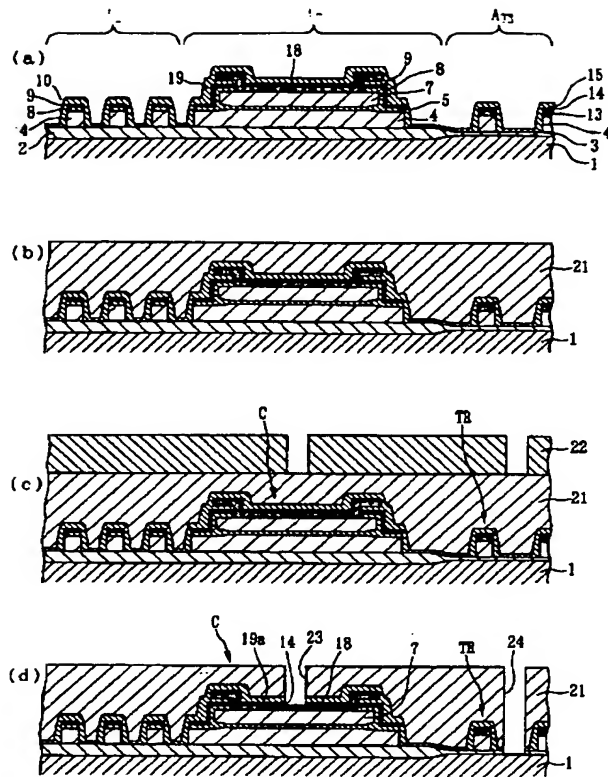
21 層間絶縁膜

* 23、24 コンタクトホール

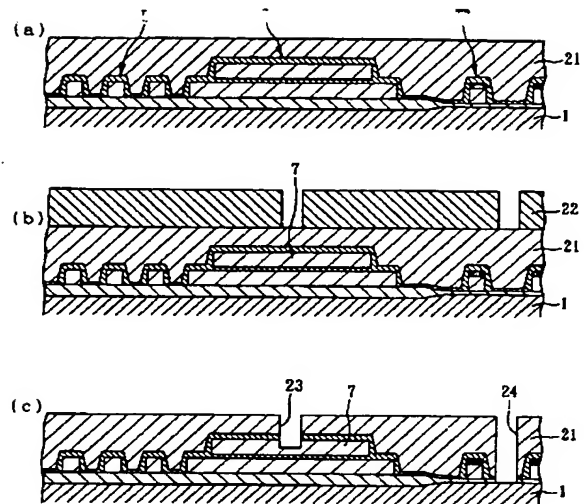
【図 2】



【図3】



【図4】



フロントページの続き

(51) Int. Cl. 7
H01L 27/108
21/8242

識別記号

F I

テーマコード (参考)

Fターム (参考) 5F004 DA00 DA16 DA23 DA25 DB02
DB03 DB15 EA14 EA22 EA23
EB01 EB02 EB03 EB08 FA03
5F038 AC05 AC15 AR07 AR09 AV06
EZ12 EZ15 EZ16 EZ17 EZ20
5F048 AB01 AC10 BB06 BB08 BG01
BG12
5F083 AD14 GA27 JA02 JA32 JA35
PR06 PR12 PR57